

257-64

~~MANUFACTURE OF SEMICONDUCTOR~~
25. 61-63017, Apr. 1, 1986, MANUFACTURE OF SEMICONDUCTOR THIN FILM
CRYSTAL LAYER; KYOICHI SUGURO, HOUL 21*22; HOUL 21*23; HOUL 21*29
26. 60-18006, Sep. 21, 1985, INSULATED GATE TYPE FIELD EFFECT
SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF; SHIYUKEI YAMAZAKI, HOUL
29*26; HOUL 29*52; HOUL 29*63; /HOUL 21*22; HOUL 27*12

SUGURO

61-63017 Apr. 1, 1986 L7, 34 of 51
MANUFACTURE OF SEMICONDUCTOR THIN FILM CRYSTAL LAYER

INVENTOR: KYOICHI SUGURO
ASSIGNEE: AGENCY OF IND SCIENCE & TECHNOL
APP NO: 59-183729
DATE FILED: Sep. 4, 1984
PATENT ABSTRACTS OF JAPAN
ABS GW NO: E426
ABS VOL NO: Vol. 10, No. 228
ABS PUB DATE: Aug. 5, 1986
INT CL: HOUL 21*20; HOUL 21*23; HOUL 21*22

ABSTRACT:

PURPOSE: To allow a monocrystalline silicon thin film of good quality to be formed on an insulating film by a method wherein a metal silicide is previously filled and forced in an opening so as to control the loss of the silicon film thickness and evaporation of the silicon.

CONSTITUTION: An insulating film 2 is formed on a monocrystalline silicon layer 1, and an opening 3 is formed in a portion of the film 2. Then, this structure is subjected to heat treatment in a nitrogen atmosphere to form a metal silicide film 5 in the opening 3. Then, the film 4 is removed by aqua regia, heat treatment is performed, NiSi.sub.2 is epitaxially grown, a silicon thin film 5 is deposited, and a protective insulating film 7 is also deposited thereon. After that, by scanning of an electronic beam, monocrystalline growth of a silicon film is performed using NiSi.sub.2 of the opening 3 as a seed.

NiSi Seed but
Don't describe TFT
or other device
doesn't teach
concentration

No disclosure of diffusion

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

公開特許公報(A)

昭61-63017

⑫ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)4月1日

H 01 L 21/20
21/263
21/88

7739-5F

6708-5F 審査請求 有 発明の数 1 (全4頁)

⑭ 発明の名称 半導体薄膜結晶層の製造方法

⑮ 特 願 昭59-183729

⑯ 出 願 昭59(1984)9月4日

⑰ 発 明 者 須 黒 恭 一 川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑱ 出 願 人 工業技術院長

明 細 書

1. 発明の名称

半導体薄膜結晶層の製造方法

2. 特許請求の範囲

(1) 単結晶シリコン層上に一部開口部が設けられた絶縁膜を形成する工程と、次いで上記シリコン層上に金属化合物がエピタキシャル成長するべく金属膜を全面に被着する工程と、絶縁膜を行い前記開口部の金属膜をシリサイド化し金属化合物膜を形成する工程と、未反応の金属膜をエッチングにより除去する工程と、次いで全面にシリコン層膜を被着する工程と、次いでビームアニールにより上記シリコン層膜を前記金属化合物膜からエピタキシャル成長せしめる工程とを含むことを特徴とする半導体薄膜結晶層の製造方法。

(2) 前記単結晶シリコン層は、単結晶シリコン基板であることを特徴とする特許請求 範囲第1項記載の半導体薄膜結晶層 製造方法。

(3) 前記単結晶シリコン層は、絶縁膜上に形成された単結晶シリコン薄膜層であることを特徴とす

る特許請求の範囲第1項記載の半導体薄膜結晶層の製造方法。

(4) 前記金属膜は、ニッケル、プラチナ、バナジウム或いはコバルトであることを特徴とする特許請求の範囲第1項記載の半導体薄膜結晶層の製造方法。

(5) 前記ビームアニール手段として、電子ビーム或いはレーザービームを用いたことを特徴とする特許請求の範囲第1項記載の半導体薄膜結晶層の製造方法。

3. 発明の詳細な説明

(発明の技術分野)

本発明は、絶縁膜上に単結晶シリコン薄膜層を製造する技術に係わり、特にビームアニール法を用いた半導体薄膜結晶層の製造方法に関する。

(発明 技術的背景とその問題点)

近年、電子ビームやレーザービームによるアニールで、絶縁膜上に単結晶シリコン薄膜層を形成する、所謂SOI技術 開発が盛んに行われてい、そして、この技術を用いて素子を多量に形成する

3次元IC 実装が容易な点に在る。

3次元IC、例えば2層積層素子を実装するには、単結晶シリコン基板表面に形成された素子（下層素子）上に、絶縁絶縁膜を形成した後、SOI技術によって形成された単結晶シリコン薄膜層を形成する。その後、単結晶シリコン薄膜層上に素子（上層素子）を形成することにより実装されることになる。

しかしながら、この種の方法にあつては次のような問題があった。即ち、上層素子形成用のシリコン薄膜層は、絶縁膜に設けられた開口部に露出した単結晶シリコン基板をシードとしてエピタキシャル成長させることにより形成されるが、開口部の絶縁膜膜厚が2[μm]程度の場合、例えば電子ビームアニールにより上層シリコン層の波長エピタキシャル成長を行う際に、開口部周辺の露出したシリコンは開口部の凹部に残れる。このため、開口部周辺のシリコン層は膜厚が目減りし、さらにビームアニール時にシリコン層が蒸発し易くなる。また、シリコンの熱伝導性が一般に絶縁

膜それより低いことから、ビームアニール時に絶縁膜上シリコンより開口部上シリコンの方がその温度が低くなり、これがたに良好なアニールができない等の問題があった。

（発明の目的）

本発明は上記事情を考慮してなされたもので、その目的とするところは、開口部周辺でのシリコン膜厚の目減り及びシリコンの蒸発を抑制し、絶縁膜上に良好な単結晶シリコン薄膜層を形成することができ、多層素子の製造に好適する半導体薄膜結晶層の製造方法を提供することにある。

（発明の要旨）

本発明の要旨は、シリコンの膜厚目減り及び蒸発の原因となる開口部に金属化合物を予め埋込み形成することにある。

即ち本発明は、絶縁膜上に単結晶シリコン薄膜層を形成する方法において、単結晶シリコン膜上に一部開口部が設けられた絶縁膜を形成したのち、上記シリコン膜上に金属化合物がエピタキシャル成長するべく金属膜を全面に被覆し、次いで熱処

理を行い前記開口部の金属化合物をシリサイド化して金属化合物膜を形成し、次いで未反応の金属膜をエッチングにより除去し、次いで全面にシリコン薄膜を被覆し、しかるのちビームアニールにより上記シリコン薄膜を前記金属化合物膜からエピタキシャル成長せしめるようにした方法である。（発明の要旨）

本発明によれば、開口部（シード部）に金属化合物が埋込まれているので、ビームアニール時にける開口部周辺でシリコン膜の目減り及びシリコンの蒸発を著しく抑制することが可能となる。さらに、上記金属化合物の存在により開口部上と絶縁膜上とのシリコン薄膜層の温度差を小さくすることができる。このため、絶縁膜上に良好な単結晶シリコン薄膜層を形成することができ、3次元IC等の製造に極めて有効である。

（発明の実施例）

以下、本発明 詳細を図示の実施例によって説明する。

第1図乃至第5図は本発明 一実施例に係る

半導体薄膜結晶層の製造工程を示す断面図である。まず、第1図に示す如く(100)面方位の単結晶シリコン基板（単結晶シリコン層）1上に厚さ2[μm]の酸化膜（絶縁膜）2を形成し、この酸化膜2の一部に開口部3を形成する。次いで、第2図に示す如く全面に厚さ1.5[μm]のニッケル膜（金属膜）4を形成する。次いで、真空中で450[℃]の熱処理を行い、第3図に示す如く開口部3にニッケル化合物膜（金属化合物膜）5を形成する。

次に、第4図に示す如く未反応のニッケル膜4を王水で除去し、続いて800[℃]で熱処理し、NiSi₂のエピタキシャル成長を行う。この状態で、膜厚上は略平坦となっている。次いで、第5図に示す如く全面に厚さ6000[Å]の多結晶シリコン膜（シリコン層）6を減圧CVD法により被覆し、さらに2000[Å]の保護用絶縁膜7を常圧CVD法で被覆する。その後、図1[μm] 電極線状電子ビームを走査させ、開口部3のNiSi₂（ニッケル化合物膜）をシ

ードとしてシリコン膜 単結晶成長を行う。このとき、多結晶シリコン膜より下地が平坦となっているので、従来のように開口部3に露出したシリコンが成長込む等の不都合はなく、シード開口部周辺のシリコン膜の酸化及びシリコンの腐食は著しく抑制される。

このように本発明例によれば、酸化膜2上に単結晶シリコン膜を形成することができ、且つシード開口部3周辺でのシリコン膜の酸化及びシリコンの腐食を抑えることができる。さらに、開口部2内にニッケル化合物膜5を埋込み形成しているので、ビームアニール時における開口部2上のシリコンと絶縁膜2上のシリコンとでその組成を近づけることができ、良質結晶成長に有効である。また、開口部3内にニッケル化合物膜5が埋込み形成されているので、上下の層間の接触抵抗を極めて小さくすることができる。このことは、多層構造素子にとって極めて有効である。

また、開口部2内にニッケル化合物を埋込む手段としてニッケル膜4のシリサイド化を利用して

いるので、その工程が簡単である。即ち、ニッケル化合物膜5を埋込む手段として選択成長法を用いることが考えられるが、この場合形成される膜の結晶性が悪く、さらに選択成長させる条件が極めて難しい。これに対し本発明例では、ニッケル膜とニッケル化合物膜との選択性のあるエッチング液を用いるのみで、容易に実現することができる。

なお、本発明は上述した実施例に限定されるものではない。例えば、前記金属材料はニッケルに限定されるものではなく、下地基板の膜方位を選択することにより、プラチナ、パラジウム或いはコバルト等を用いることが可能である。また、電子ビームの代わりにレーザービームを用いることができ、さらにカーボンヒータによるアニール法を用いることも可能である。また、下地のシリコン膜は単結晶シリコン基板に接するものではなく、絶縁膜上に形成された単結晶シリコン膜であってもよい。さらに、2層構造に限らず3層以上の多層構造に適用することが可能である。また、絶縁膜上に形

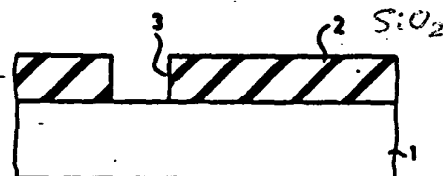
成するシリコン膜は多結晶シリコンに限らず非晶質シリコンであってもよい。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

4. 図面の簡単な説明

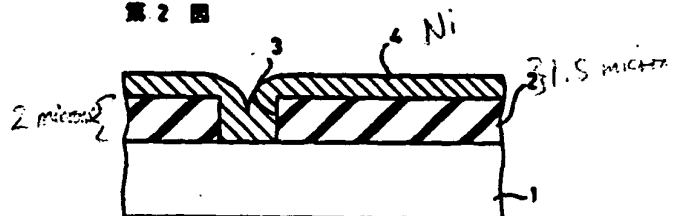
第1図乃至第5図は本発明の一実施例に係わる半導体薄膜結晶膜の製造工程を示す断面図である。

1—単結晶シリコン基板（単結晶シリコン膜）、2—酸化膜（絶縁絶縁膜）、3—開口部、4—ニッケル膜（金属材料）、5—ニッケル化合物膜（金属化合物膜）、6—多結晶シリコン膜（シリコン薄膜）、7—保護用絶縁膜。

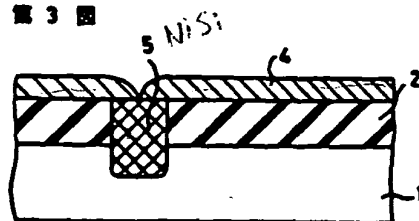
第1図



第2図

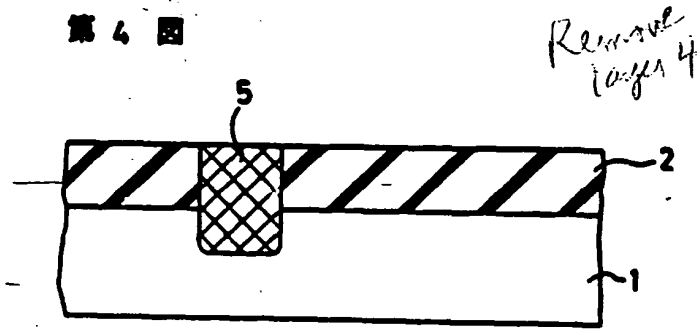


第3図

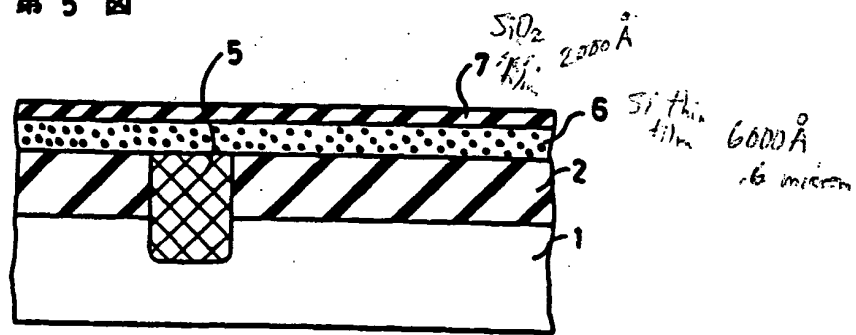


↓ Anneal
Hetero Solid
Phase Epitaxy -
No diffusion

第 4 図



第 5 図



Electron Beam
~~Annealed~~ Annealed
 to create lateral
 crystal growth -
 single crystal
 silicon